




Digital modulation synthesizer

Patent number: FR2809890
Publication date: 2001-12-07
Inventor: VILCOCQ GUILLAUME; BRUN CORINNE
Applicant: MATRA NORTEL COMMUNICATIONS (FR)
Classification:
 - international: H03C3/09; H03L7/197; H04L27/12; H03C3/00; H03L7/16; H04L27/10; (IPC1-7): H04B7/005
 - european: H03C3/09A1; H03L7/197D1; H04L27/12
Application number: FR20000007059 20000531
Priority number(s): FR20000007059 20000531

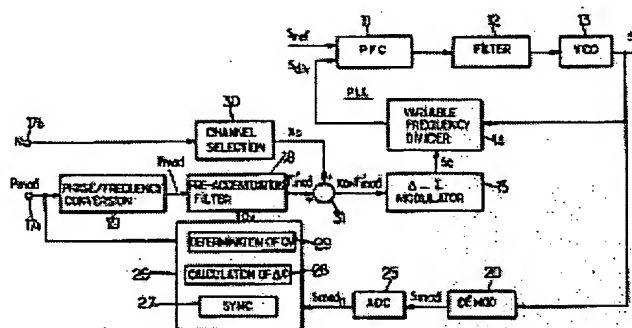
Also published as:

 WO0193415 (A1)
 US2004041638 (A)
 EP1290783 (B1)

Report a data error here

Abstract of FR2809890

The invention concerns a digital modulation synthesizer for generating an output frequency or phase modulated radiofrequency signal (S_{OUT}), comprising a pre-accentuation filter (18) receiving a frequency modulation digital signal (F_{mod}) in input to produce a pre-accentuated frequency modulation signal (F'_{mod}), a modulator SIGMA - DELTA (15) having an input receiving the pre-accentuated frequency modulation signal (F'_{mod}), and an output delivering a pre-accentuated and scrambled frequency modulation signal (S_{C}), a phase locked loop (PLL) with variable radio frequency divider (14) in the feedback path, the filtering by the phase locked loop (PLL) enabling to filter the quantizing distortion introduced by the modulator SIGMA - DELTA (15) and the pre-accentuation filter (18) applying a pre-accentuation to the frequency modulation signal (F_{mod}) enabling to compensate the effect of said filtering on the modulation inside a useful band, means for automatic calibration of the pre-accentuation filter (18) enabling further to adjust the pre-accentuation filter (18) function to that of the PLL.



Data supplied from the esp@cenet database - Worldwide

La présente invention se rapporte à un synthétiseur à modulation numérique, plus connu sous le vocable DMS (de l'anglais « Digitally Modulated Synthesiser »). Un tel circuit peut être utilisé pour la génération d'un signal radiofréquence (dans la bande UHF comprise entre 400 et 600 MHz) modulé en fréquence ou en phase. Elle trouve des applications dans les émetteurs d'un système de radiocommunication, dans les stations de base et/ou dans les stations mobiles.

Un DMS présente une architecture qui est dérivée de la structure d'un synthétiseur de fréquence fractionnaire, et permet de générer un signal périodique modulé en fréquence ou en phase. Le schéma fonctionnel d'un DMS connu dans l'état de l'art est représenté à la figure 1. Le DMS comporte une boucle à verrouillage de phase 10 ou PLL (de l'anglais « Phase Locked Loop ») comprenant en série un comparateur de phase/fréquence 11 ou PFC (de l'anglais « Phase/Frequency Comparator »), un filtre de boucle 12 tel qu'un intégrateur, et un oscillateur commandé en tension 13 ou VCO (de l'anglais « Voltage Controlled Oscillator »), ainsi que, dans la voie de retour, un diviseur de fréquence 14. Le VCO délivre en sortie un signal S_{out} qui est le signal de sortie du DMS, dont la fréquence instantanée est f_{out} . Le PFC reçoit sur une première entrée un signal de référence S_{ref} ayant une fréquence de référence f_{ref} et, sur une seconde entrée, un signal S_{div} obtenu par le diviseur de fréquence 14 à partir du signal S_{out} . Pour une synthèse fractionnaire classique, le diviseur de fréquence 14 est un diviseur à rapport variable permettant de produire le signal S_{div} en divisant la fréquence f_{out} du signal S_{out} par un rapport de division qui vaut alternativement un entier N pendant une fraction A du temps, et l'entier N+1 pendant une fraction B du temps, en sorte que la fréquence f_{out} du signal de sortie S_{out} est donnée en fonction de la fréquence f_{ref} du signal de référence S_{ref} , par :

$$f_{out} = \left(N + \frac{B}{A+B} \right) \times f_{ref} \quad (1)$$

Le diviseur de fréquence 14 comporte une entrée de commande du rapport de division. Ce rapport est fixé par un accumulateur de la façon décrite précédemment.

Toutefois, afin d'éviter l'apparition de raies parasites dans le spectre du signal de sortie S_{out} dues à la périodicité des changements du rapport de division de N à $N+1$ et réciproquement, le DMS connu dans l'état de l'art comporte en outre un modulateur 15, du type d'un modulateur $\Sigma\text{-}\Delta$. Le modulateur 15 comporte une entrée qui reçoit un signal numérique de modulation de fréquence F_{mod} , et une sortie qui délivre un signal S_C correspondant au signal F_{mod} embrouillé. La sortie du modulateur 15 est reliée à l'entrée de commande du diviseur 14 pour y délivrer le signal S_C . Ainsi connecté, le modulateur 15 permet de faire en sorte que le signal S_C appliqué à chaque instant sur l'entrée de commande du diviseur de fréquence 14 soit un signal pseudo-aléatoire, ce qui rompt la périodicité des changements du rapport de division.

Ainsi qu'il est connu, un modulateur $\Sigma\text{-}\Delta$ opère un sur-échantillonnage et introduit dans la PLL, un bruit de quantification. Selon une caractéristique intrinsèque de ce type de modulateur, le bruit de quantification est mis en forme de manière que son spectre présente une pente croissante avec la fréquence. Dit autrement, le modulateur $\Sigma\text{-}\Delta$ assure une mise en forme du bruit de quantification (« Noise Shaping », en anglais) telle que le bruit de quantification est essentiellement présent dans les fréquences élevées.

Ce bruit de quantification se traduit par un bruit de phase dans le signal de sortie S_{out} généré par le VCO. Pour éliminer le bruit de quantification introduit par le modulateur $\Sigma\text{-}\Delta$, il peut s'avérer nécessaire de régler la fréquence de coupure f_c de la PLL sur une valeur pouvant être inférieure à la fréquence maximum f_{mod} de la bande utile du signal de modulation de fréquence F_{mod} . Afin de ne pas détériorer la modulation du signal de sortie S_{out} , on se propose d'appliquer une pré-accentuation au signal de modulation F_{mod} . Cette pré-accentuation est introduite par un filtre numérique, dont la fonction de transfert est adaptée à celle de la PLL dans une bande utile. De plus, afin de tenir compte des dispersions de caractéristique des composants analogiques constituant la PLL (essentiellement des composants du filtre 12 et du VCO), de leur dérive en température et/ou de leur vieillissement, qui font

varier le gain en boucle ouverte de la PLL et donc sa fréquence de coupure, l'invention propose, pour le filtre pré-accentuation, un filtre numérique programmable associé à des moyens de calibration automatique.

En effet, l'invention propose un synthétiseur à modulation numérique pour la génération d'un signal de sortie radiofréquence modulé en fréquence ou en phase comprenant :

- un filtre de pré-accentuation recevant un signal numérique de modulation de fréquence en entrée, pour pré-accentuer le signal de modulation de fréquence et produire un signal de modulation de fréquence pré-accentué ;
- un modulateur Σ - Δ ayant une entrée recevant le signal de modulation de fréquence pré-accentué et une sortie délivrant un signal de modulation de fréquence pré-accentué et embrouillé ;
- une boucle à verrouillage de phase avec un diviseur de fréquence à rapport variable dans le chemin de rétroaction, le diviseur de fréquence à rapport variable ayant une entrée de commande du rapport de division reliée à la sortie du modulateur Σ - Δ pour recevoir le signal de modulation de fréquence pré-accentué et embrouillé, le filtrage par la boucle à verrouillage de phase permettant de filtrer le bruit de quantification introduit par le modulateur Σ - Δ et le filtre de pré-accentuation appliquant une pré-accentuation au signal de modulation de fréquence permettant de compenser l'effet de ce filtrage à l'intérieur d'une bande utile ;
- des moyens de calibration automatique du filtre de pré-accentuation permettant d'ajuster la fonction de transfert du filtre de pré-accentuation à celle de la PLL.

Ainsi, le filtrage passe-bas par la PLL permet d'éliminer le bruit de quantification introduit par le modulateur Σ - Δ dans la PLL, et la pré-accentuation du signal de modulation par le filtre de pré-accentuation permet de compenser l'effet de ce filtrage passe-bas sur la modulation du signal de sortie S_{out} . Enfin, les moyens de calibration automatique du filtre de pré-accentuation permettent d'assurer, dans la bande utile, l'adéquation de la fonction de transfert de ce filtre à celle de la PLL en toutes circonstances.

Le filtre de pré-accentuation, qui est un filtre numérique programmable, est défini par un certain nombre de coefficients. L'invention propose un filtre

numérique ayant une fonction de transfert définie de façon judicieuse en sorte qu'un seul de ces coefficients, appelé coefficient déterminant, dépend du gain en boucle ouverte de la PLL. Cela simplifie un algorithme de calibration mis en œuvre par les moyens de calibration automatique du filtre de pré-accentuation.

- 5 En effet, ces moyens peuvent alors comprendre une simple table donnant, en fonction d'un paramètre de qualité de la modulation du signal de sortie du synthétiseur, la valeur du coefficient déterminant qu'il faut programmer dans le filtre de pré-accentuation. Ce paramètre est de préférence l'erreur de phase dans le signal de sortie lorsque ce signal est modulé en phase ou l'erreur de
- 10 fréquence lorsque ce signal est modulé en fréquence (erreur quadratique moyenne). Mais il peut aussi s'agir de l'indice de modulation du signal de sortie.

D'autres caractéristiques et avantages de l'invention apparaîtront encore à la lecture de la description qui va suivre. Celle-ci est purement illustrative et

15 doit être lue en regard des dessins annexés, sur lesquels on a représenté :

- à la figure 1, déjà analysée : le schéma fonctionnel d'un DMS connu dans l'état de la technique
- à la figure 2 : le schéma fonctionnel d'un DMS selon l'invention ;
- aux figures 3a à 3c : des diagrammes de Bode montrant la fonction de

20 transfert du DMS selon l'invention vis à vis de la modulation ;

- aux figures 4a à 4c : des diagrammes de Bode montrant la fonction de transfert du DMS selon l'invention vis à vis du bruit de quantification ;
- à la figure 5 : un diagramme de Bode donnant une comparaison des fonctions de transfert du filtre de pré-accentuation et de la PLL à l'intérieur

25 d'une bande utile ;

- à la figure 6 : un organigramme des étapes d'un procédé de calibration du filtre de pré-accentuation ;
- à la figure 7 : une courbe montrant l'évolution de l'erreur de phase en fonction de la valeur du coefficient déterminant du filtre de pré-accentuation ;

30 - à la figure 8 : un schéma fonctionnel d'un circuit intégré intégrant les moyens numériques du DMS selon l'invention.

A la figure 2, sur laquelle les mêmes éléments qu'à la figure 1 portent les mêmes références, on a représenté un schéma fonctionnel d'un DMS selon l'invention.

Le DMS selon l'invention comporte une PLL et un modulateur $\Sigma\text{-}\Delta$ de même structure que ceux respectifs du DMS de la figure 1. Selon une caractéristique de l'invention, le filtre de boucle 12 de la PLL du DMS de la figure 2 est un intégrateur ayant un étage d'intégration, dont la fréquence de coupure est réglée de manière que le filtrage passe-bas introduit par la PLL permette de filtrer le bruit de quantification introduit par le modulateur $\Sigma\text{-}\Delta$ dans le spectre du signal de sortie S_{out} . Dans un exemple, la fréquence de coupure f_c de la fonction de transfert de la PLL, est de l'ordre de 5 kHz, pour une fréquence d'échantillonnage du modulateur $\Sigma\text{-}\Delta$ égale à 12,8 MHz.

Dans la présente description d'un mode de réalisation de l'invention, on considère l'exemple d'un DMS permettant de générer un signal modulé en phase. Dans ce mode de réalisation, le DMS comporte une entrée de données 17a pour recevoir un signal numérique de modulation de phase P_{mod} et un circuit de conversion 19 recevant le signal P_{mod} en entrée. Ce circuit 19 a pour fonction de produire le signal de modulation de fréquence F_{mod} en sortie, en réalisant une conversion phase/fréquence du signal P_{mod} . Ceci n'est toutefois pas limitatif et un DMS selon l'invention peut également être utilisé pour générer un signal modulé en fréquence. La valeur de la fréquence maximum f_{mod} de la bande utile du signal de modulation de phase P_{mod} et du signal de modulation de fréquence F_{mod} se situe dans la bande 8-16 kHz. Elle est donc typiquement supérieure à la valeur de la fréquence de coupure f_c de la fonction de transfert de la PLL qui est, comme indiqué précédemment sensiblement égale à 5 kHz dans l'exemple. Le filtrage passe-bas par la PLL a donc un effet sur la modulation du signal de sortie S_{out} .

C'est pourquoi, afin de ne pas détériorer la modulation du signal de sortie S_{out} , le DMS selon l'invention se distingue en outre de celui de la figure 1 en ce qu'il comporte un filtre de pré-accentuation 18 qui reçoit le signal de modulation de fréquence F_{mod} en entrée. Ce filtre 18 a pour fonction de pré-

accentuer le signal F_{mod} pour produire en sortie un signal de modulation de fréquence pré-accentué F'_{mod} . Plus particulièrement, on verra plus loin que le filtre 18 a pour fonction d'appliquer une pré-accentuation au signal de modulation de fréquence F_{mod} , permettant, dans une bande utile, de
5 compenser le filtrage passe-bas par la PLL.

Dans un exemple, le DMS comporte en outre une entrée 17b pour recevoir un numéro de canal NC, et un module de sélection de canal 30 recevant le numéro de canal NC en entrée. Ce module 30 a pour fonction de générer, à partir du numéro de canal NC, un signal de canal X_0 qui est un
10 signal numérique définissant un canal radiofréquence déterminé parmi une pluralité de canaux couverts par l'émetteur incorporant le DMS. Le module 30, qui est par exemple réalisé sous forme logicielle, peut opérer par sélection du signal numérique X_0 dans une table indexée par le numéro de canal NC. Le DMS comporte alors un additionneur numérique 31 pour additionner le signal
15 de canal X_0 et le signal de modulation de fréquence pré-accentué F'_{mod} , et pour délivrer le signal résultant $X_0 + F'_{\text{mod}}$ sur la première entrée du modulateur 15.

Dit autrement, l'additionneur numérique 31 comporte une première entrée connectée à la sortie du module de sélection de canal 30 pour recevoir
20 le signal de canal X_0 , une seconde entrée connectée à la sortie du filtre de pré-accentuation 18 pour recevoir le signal de modulation de fréquence pré-accentué F'_{mod} , et une sortie connectée à la première entrée du modulateur 15 pour y délivrer le signal $X_0 + F'_{\text{mod}}$. En sortie de l'additionneur numérique 31, les bits de poids fort du signal résultant $X_0 + F'_{\text{mod}}$ sont par exemple
25 constitués par les bits du signal de canal X_0 , alors que ses bits de poids faible sont constitués par les bits du signal de modulation de fréquence pré-accentué F'_{mod} . Le module de sélection de canal 30 et l'additionneur numérique 31 permettent à l'émetteur incorporant le DMS de couvrir une pluralité de canaux différents. Ils ne sont toutefois pas obligatoires et la sortie du filtre de pré-
30 accentuation 18 peut être directement connectée à la première entrée du modulateur 15 pour y délivrer le signal de modulation de fréquence pré-

accentué F'_{mod} , lorsque le DMS est incorporé dans un émetteur monocanal. On notera que, appliqué seul (sans le signal de modulation de fréquence pré-accentué F'_{mod}), le signal de canal X_0 provoque la synthèse d'un signal de sortie S_{out} avec une fréquence f_{out} constante.

- 5 Le filtre de pré-accentuation 18 est un filtre numérique programmable de fonction de transfert $A(z)$, qui est déterminée par la valeur de coefficients C_j stocké dans une mémoire. On rappelle que, selon l'invention, le filtre 18 permet de compenser le filtrage passe-bas par la PLL dans une bande utile comprenant la fréquence de coupure f_{mod} du signal de modulation de
- 10 fréquence F_{mod} . En effet, afin de ne pas faire disparaître la modulation de fréquence dans le signal S_{out} en sortie de la PLL, le filtre de pré-accentuation 18 applique une pré-accentuation au signal de modulation de fréquence F_{mod} , qui permet de compenser l'effet sur la modulation du filtrage passe-bas par la PLL. Pour que cette compensation soit efficace, la fonction de transfert $A(z)$ est
- 15 adaptée à la fonction de transfert réelle de la PLL.

- En effet, comme montré sur le diagramme de Bode de la figure 5, la fonction de transfert du filtre de pré-accentuation 18, représentée par la courbe 32, est symétrique de celle de la PLL, représentée par une courbe 31, par rapport à une droite horizontale correspondant à la réponse constante de la
- 20 PLL dans les basses fréquences. Sur la figure, cette réponse constante correspond à un gain égal à l'unité (0 dB), en sorte que ladite droite horizontale passe par l'origine de l'axe des ordonnées sur lequel les valeurs de gain sont exprimées en décibel (dB). On notera que la symétrie précitée entre la fonction de transfert du filtre de pré-accentuation 18 et celle de la PLL n'a pas besoin
- 25 d'être obtenue dans tout le spectre. Il suffit en effet de l'obtenir à l'intérieur d'une bande utile incluant la fréquence maximum f_{mod} du signal de modulation de fréquence F_{mod} . Dans l'exemple, cette fréquence f_{mod} étant comprise entre 8 et 16 kHz, la symétrie entre les fonctions de transfert 31 et 32 respectivement de la PLL et du filtre de pré-accentuation 18 est obtenue par
- 30 exemple jusqu'à 30 kHz au moins. Ainsi que le montre la courbe en trait discontinu 33, la réponse globale du synthétiseur vis à vis de la modulation est alors constante à l'intérieur de la bande 0-30 kHz.

Sur les diagrammes de Bode des figures 3a et 3b, on a représenté respectivement les fonctions de transfert du filtre de pré-accentuation 18 et de la PLL vis à vis de la modulation. L'axe horizontal est gradué en hertzs et l'axe vertical en décibels. La combinaison de ces fonctions de transfert représente le filtrage global appliqué au signal de modulation de fréquence F_{mod} par le DMS selon l'invention, dont la fonction de transfert vis à vis de la modulation est représentée sur le diagramme de Bode de la figure 3c. Ainsi qu'on le voit sur cette dernière figure, le signal de modulation de fréquence F_{mod} n'est pas atténué dans une bande utile allant jusqu'à au moins 30 kHz, en dépit du filtrage passe-bas introduit par la PLL dans cette bande, et ce grâce à la pré-accentuation correspondante introduite par le filtre de pré-accentuation 18.

A l'inverse, on a représenté sur les diagrammes de Bode des figures 4a et 4b, respectivement les fonctions de transfert du modulateur et de la PLL vis à vis du bruit de quantification introduit par le modulateur 15. La combinaison de ces fonctions de transfert représente le filtrage global appliqué à ce bruit de quantification par le DMS selon l'invention, dont la fonction de transfert est représentée sur le diagramme de Bode de la figure 4c. Comme on le voit sur cette dernière figure, le bruit de quantification introduit par le modulateur 15 est fortement atténué dans la bande utile (atténuation supérieure à 80 dB), ce qui correspond à une réjection du bruit de quantification qui est satisfaisante.

Comme précédemment indiqué, il est important que la fonction de transfert du filtre de pré-accentuation soit adaptée à la fonction de transfert réelle de la PLL. Or, la fréquence de coupure f_c de la fonction de transfert de la PLL dépend du gain en boucle ouverte K de la PLL. Celui-ci est donné par l'expression :

$$K = \frac{I_{cp} \times K_{vco}}{C \times \bar{N}} \quad (2)$$

où I_{cp} désigne le courant dans la pompe de charge du PFD ;

où K_{vco} est la pente du VCO ;

où C est la capacité de l'intégrateur de l'intégrateur 12, déterminée par la valeur d'un condensateur (composant analogique externe) ;

et où \bar{N} est le rapport de division moyen du diviseur de fréquence 14.

Un inconvénient provient du fait que la valeur K_{VCO} dépend de la température de fonctionnement du synthétiseur, et aussi de la fréquence synthétisée f_{out} . De plus, les valeurs de K_{VCO} , C et I_{cp} présentent une dispersion de caractéristique qui a également un impact sur la valeur de la

5 fréquence de coupure f_c de la PLL. Ainsi, pour un VCO donné, K_{VCO} peut connaître des dispersions de plus ou moins 25% en fonction de f_{out} , et les variations dues à la température et à la dispersion de caractéristique peuvent être responsables d'une variation de K_{VCO} de l'ordre de 28%. Dans une

10 moindre mesure, la valeur C dépend aussi de la température de fonctionnement du synthétiseur et de la fréquence synthétisée f_{out} . En outre, la valeur de C peut varier de 1 à 10% selon les exemplaires du condensateur externe. Enfin, la valeur de I_{cp} , qui dépend essentiellement de la précision du

15 contrôle numérique mis en œuvre au moyen d'un convertisseur analogique/numérique 6 bits, peut varier de 2%. En outre, le vieillissement des composants analogiques induit également une variation, à plus long terme, des valeurs de K_{VCO} , C et I_{cp} . Il résulte de toutes ces variations que la fréquence

de coupure f_c de la fonction de transfert réelle de la PLL dépend des composants analogiques utilisés pour la fabrication de l'exemplaire du DMS, et qu'elle est susceptible de varier pendant le fonctionnement du DMS avec

20 l'élévation de température, et à plus long terme avec le vieillissement des composants analogiques.

Toutes ces variations peuvent être compensées, selon l'invention, grâce à des moyens de calibration automatique du filtre de pré-accentuation 18. La calibration du filtre 18 opérée par ces moyens est dite automatique en ce sens

25 qu'elle ne nécessite pas un réglage manuel par un opérateur. Ceci permet de rendre possible la fabrication industrielle d'un DMS selon l'invention dans des conditions économiques réalistes. Par calibration du filtre de pré-accentuation, on entend un ajustage dynamique de la fonction de transfert du filtre pour l'adapter à la fonction de transfert réelle de la PLL, de manière que le filtre de

30 pré-accentuation remplisse correctement, en toutes circonstances, sa fonction de compensation de l'effet sur la modulation du filtrage passe-bas par la PLL. Afin de tenir compte de l'effet de la dispersion de caractéristique des

composants sur K_{VCO} , C et/ou I_{CP} , et aussi de l'effet du vieillissement des composants analogiques qui interviennent, ces moyens de calibration sont activés à la mise en route de l'émetteur. De plus, afin de tenir compte de l'élévation de la température de fonctionnement lors du fonctionnement de l'émetteur, ils sont également activés à intervalles de temps réguliers, au cours de ce fonctionnement.

Afin de décrire la structure et le fonctionnement des moyens de calibration du filtre de pré-accentuation 18, on décrit tout d'abord, dans ce qui suit, une fonction de transfert judicieuse qui est donnée à ce dernier dans un mode de réalisation préféré.

Pour une PLL dont le filtre de boucle 12 est un intégrateur et dont le PFC comporte une pompe de charge, on peut selon l'invention choisir un filtre de pré-accentuation 18 dont la fonction de transfert $A(z)$, exprimée en fonction de la variable z , s'écrit sous la forme suivante :

$$A(z) = \left[BL \left(\frac{1}{1 + \frac{s^2}{K} \times \frac{1}{F(s)}} \right) \right]^{-1} \quad (3)$$

où s désigne la variable de Laplace ;

où BL désigne la transformée bi-linéaire, qui permet de passer d'une expression en fonction de la variable s à une expression en fonction de la variable z ;

où K désigne le gain en boucle ouverte de la PLL ;

et où $F(s)$ est la transformée de Laplace du filtre intégrateur 12 de la PLL sans prendre en compte l'étage d'intégration de ce filtre.

Pour un filtre de boucle du troisième ordre, la transformée de Laplace $F(s)$ peut s'exprimer par :

$$F(s) = \frac{1 + s/R_4 C_4}{\left(1 + s/R_1 C_1\right) \times \left(1 + s/R_2 C_2\right) \times \left(1 + s/R_3 C_3\right)} \quad (4)$$

où les R_i et C_i désignent respectivement des valeurs de résistance et de capacité.

En vertu de la propriété de linéarité de la fonction bi-linéaire BL, l'expression (3) peut se mettre sous la forme :

$$A(z) = \left[1 + \frac{1}{K} \times f_{ref}^2 \times (1 - z^{-1})^2 \frac{1}{BL(F(s))} \right] \quad (5)$$

Dans l'expression (5) ci-dessus, le gain en boucle ouverte K de la PLL n'apparaît que dans un seul coefficient de la fonction de transfert du filtre de pré-accentuation 18, appelé dans la suite coefficient déterminant. On note C_v ce coefficient déterminant. Il est donné par :

$$C_v = \frac{f_{ref}^2}{K} \quad (6)$$

En résumé, les valeurs I_{cp} , K_{vco} et C, qui interviennent dans l'expression (2) du gain en boucle ouverte K de la PLL, n'apparaissent que dans le coefficient déterminant C_v de la fonction de transfert du filtre de pré-accentuation 18. Dit autrement, avec un filtre de pré-accentuation présentant une telle fonction de transfert judicieusement choisie, seul le coefficient déterminant C_v doit être modifié pour tenir compte des variations de I_{cp} , K_{vco} et C. Ceci permet d'ajuster de manière simple la fonction de transfert du filtre de pré-accentuation 18 à la fonction de transfert réelle de la PLL.

De retour au schéma de la figure 2 on va maintenant décrire la structure des moyens de calibration automatique du filtre de pré-accentuation 18.

Ces moyens comprennent une boucle auxiliaire comportant des moyens de démodulation du signal de sortie S_{out} , un convertisseur analogique/numérique 25 et une unité de calcul 26. Les moyens de démodulation 20 produisent à partir du signal de sortie S_{out} un signal analogique S_{mod} qui correspond à la modulation du signal de sortie S_{out} . Par exemple, si le signal S_{out} est un signal modulé en phase de la forme $S_{out}(t) = M \cdot \cos(2 \cdot \Pi \cdot f_{ref} \cdot t + m \cdot \phi_m(t))$, où M et m sont des nombres réels et où $\phi_m(t)$ traduit la modulation de phase, alors le signal S_{mod} est de la forme $S_{mod}(t) = m \cdot \phi_m(t)$. L'unité de calcul 26 étant une unité de traitement numérique, le signal analogique S_{mod} est converti en un signal numérique

S_{mod_n} au moyen du convertisseur 25. Le signal numérique S_{mod_n} est alors transmis en entrée de l'unité de calcul 26.

On rappelle que dans le présent exemple de réalisation, le signal de sortie S_{out} est un signal radiofréquence modulé en phase. Un paramètre de qualité de la modulation du signal de sortie S_{out} pris en compte est donc
5 préférentiellement l'erreur de phase du signal de sortie S_{out} , et l'unité de calcul 26 comprend un module de synchronisation 27. Ce module 27 a pour fonction de synchroniser le signal S_{mod_n} et le signal de modulation de phase P_{mod} , de manière à tenir compte du retard du signal S_{mod_n} et par rapport au signal
10 P_{mod} qui résulte du traitement par le DMS. Le module 27 applique un retard ad-hoc au signal de modulation de phase P_{mod} , permettant de compenser le retard précité. Ce retard ad-hoc est calculé par maximisation de l'autocorrélation de l'erreur de phase par le module de synchronisation 27. Des moyens équivalents sont prévus lorsque, le signal de sortie S_{out} étant un
15 signal radiofréquence modulé en fréquence, un paramètre de qualité de la modulation du signal de sortie S_{out} pris en compte est l'erreur de fréquence du signal de sortie S_{out} . Toutefois, il ne sont pas utiles lorsque, le signal de sortie S_{out} étant un signal radiofréquence modulé en fréquence ou en phase, le paramètre de qualité de la modulation du signal de sortie S_{out} est l'indice de
20 modulation du signal de sortie S_{out} .

L'unité de calcul 26 comprend en outre un module 28 de calcul d'un paramètre de qualité de la modulation du signal de sortie S_{out} , à savoir dans l'exemple l'erreur de phase $\Delta\phi$ entre le signal de modulation de phase P_{mod} et le signal S_{mod_n} correspondant au signal de sortie S_{out} . Il s'agit par exemple de
25 l'erreur quadratique moyenne ou erreur R.M.S. (de l'anglais « Root Means Square »).

L'unité de calcul 26 comprend enfin un module de détermination de la valeur du coefficient déterminant C_V . Ce module opère par sélection dans une table contenant Z valeurs prédéterminées du coefficient C_V . Une telle table est
30 par exemple stockée dans une mémoire non volatile à lecture seule telle que la

mémoire ROM d'un microcontrôleur. Les valeurs du coefficient C_V disponibles dans cette table sont par exemple des valeurs régulièrement croissantes, avec un pas constant C_V . La sélection est réalisée en fonction de l'erreur de phase $\Delta\phi$ produite par le module de calcul 28 selon un algorithme sur lequel on

5 reviendra plus loin. Dans le cas d'un DMS incorporé dans un émetteur multicanaux envisagé ici, on notera qu'il peut être préférable de disposer d'une telle table pour chaque canal ou groupe de canaux couvert par l'émetteur, car les valeurs du coefficient C_V peuvent dépendre de la fréquence du canal sélectionné par le circuit de sélection de canal 30.

10 Les modules 27, 28 et 29 sont par exemple des modules logiciels réalisés, sous forme de programmes mémorisés dans la mémoire ROM d'un microcontrôleur et exécutés par ledit microcontrôleur lorsque les moyens de calibration sont activés.

A la mise en fonctionnement du DMS, on programme dans le filtre de

15 pré-accentuation 18 successivement les Z valeurs du coefficient déterminant C_V qui sont mémorisées dans la table de valeurs associée au canal sélectionné, et on calcule pour chacune d'elle l'erreur de phase $\Delta\phi$ du signal de sortie S_{out} . On choisit alors celle des valeurs du coefficient C_V qui est la meilleure, c'est à dire celle qui donne la valeur de $\Delta\phi$ la plus faible, et on la

20 programme dans le filtre de pré-accentuation 18. Dit autrement, on teste les Z valeurs du coefficient déterminant C_V disponibles, et on sélectionne la meilleure de ces valeurs, qui est alors programmée dans le filtre de pré-accentuation 18. De préférence, ces tests successifs sont réalisés successivement pour des valeurs identiques du signal de modulation de

25 fréquence F_{mod} , c'est à dire aussi du signal de modulation de phase P_{mod} . Ceci garantit que le calcul de l'erreur de phase ne soit pas influencé par la valeur de ce signal. Dans un exemple, les tests des Z valeurs de C_V sont réalisés pendant l'émission de la séquence d'apprentissage qui, de façon habituelle, est émise à la mise sous tension de l'émetteur incorporant le DMS.

30 On sait en effet que cette séquence d'apprentissage est une suite de mots binaires identiques.

En cours de fonctionnement, l'unité de calcul 26 des moyens de calibration automatique du filtre de pré-accentuation 18 met en oeuvre un algorithme qui va maintenant être décrit en regard de l'organigramme de la figure 6 et de la courbe de la figure 7.

5 A la figure 7, on a représenté une courbe montrant, pour un canal sélectionné déterminé et pour des valeurs de K_{VCO} , C et I_{CP} déterminées, l'évolution de l'erreur de phase $\Delta\phi$ en fonction de la valeur du coefficient déterminant C_V du filtre de pré-accentuation 18. On note A_0 le point de cette courbe qui correspondrait à la valeur du coefficient C_V sélectionnée lors de la
10 mise en fonctionnement du DMS. Comme on le voit, le point A_0 correspond à un minimum de la courbe. On note A_n le point de la courbe qui correspond à la valeur courante du coefficient C_V programmée dans le filtre 18 à un instant déterminé auquel les moyens de calibration automatique du filtre 18 sont activés.

15 De préférence, les moyens de calibration automatique du filtre de pré-accentuation sont activés pendant l'émission par un émetteur incorporant le DMS des séquences de synchronisation qui, de façon classique, sont émises à intervalles de temps réguliers, par exemple toutes les 20 ms en mode émission de données. Ces séquences de synchronisation étant constituées par des
20 suites de mots binaires identiques, la calibration automatique du filtre 18 n'est pas influencée par la valeur du signal de modulation. En effet, la valeur de l'erreur de phase $\Delta\phi$ est ainsi calculée pendant l'émission de ces séquences de synchronisation, c'est à dire pour des valeurs identiques du signal de modulation de fréquence.

25 L'algorithme de calibration automatique du filtre de pré-accentuation 18 représenté par l'organigramme de la figure 6 est mis en oeuvre par le module 29 de l'unité de calcul 26 du DMS selon l'invention. On suppose par hypothèse, que au début 60 de l'algorithme, une valeur déterminée du coefficient C_V est mémorisée dans le filtre 18, en sorte qu'on se situe sur le point A_n sur la
30 courbe de la figure 7.

Dans une étape 61, on compare l'erreur de phase $\Delta\phi$ produite par le module de calcul 28 de l'unité de calcul 26 du DMS à une première valeur de

seuil $\Delta\phi_1$. Si $\Delta\phi$ n'est pas supérieur à $\Delta\phi_1$ alors on retourne au début 60. Si au contraire $\Delta\phi$ est supérieur à $\Delta\phi_1$, alors dans une étape 62 on remplace la valeur du coefficient déterminant C_V par sa valeur courante moins le pas ΔC_V . Dans un exemple, cette nouvelle valeur courante du coefficient déterminant C_V amène le point de fonctionnement du DMS à se déplacer sur la courbe de la figure 7 du point A_n au point A_{n+1} .

Dans une étape 63 on détermine alors en fonction d'une nouvelle valeur de l'erreur de phase $\Delta\phi$ produite par le module de calcul 28 si l'erreur de phase a diminué par rapport à la valeur précédente du coefficient C_V . Si l'erreur de phase n'a pas diminué, alors cela signifie que la valeur du coefficient C_V n'a pas été modifiée dans le bon sens. C'est pourquoi dans une étape 64 on remplace alors la valeur courante du coefficient C_V par la valeur courante augmentée de deux fois le pas ΔC_V . En raison de cette modification de la valeur courante du coefficient C_V , le point de fonctionnement du DMS se déplace sur la courbe de la figure 7 du point A_{n+1} au point A_{n+2} . Dans une étape 65 on compare alors l'erreur de phase $\Delta\phi$ calculée par le module de calcul 28 de l'unité de calcul 26 à une seconde valeur de seuil $\Delta\phi_2$. Si $\Delta\phi$ est inférieur à $\Delta\phi_2$ on atteint la fin 69 de l'algorithme. Si $\Delta\phi$ n'est pas inférieur à $\Delta\phi_2$, alors il faut encore modifier la valeur du coefficient déterminant C_V dans le même sens. C'est pourquoi dans une étape 66 on remplace la valeur courante du coefficient C_V par la valeur courante augmentée du pas ΔC_V , et l'on retourne à l'étape de comparaison 65 précitée. Dans l'exemple, représenté à la figure 7, cette nouvelle valeur courante du coefficient C_V amène le point de fonctionnement du DMS à se déplacer sur la courbe du point A_{n+1} au point A_{n+2} . Dans l'exemple représenté, le point A_{n+2} est encore au-dessus du seuil $\Delta\phi_2$, en sorte qu'une nouvelle itération des étapes 66 et 65 est requise avant d'atteindre la fin 69 de l'algorithme. Le point de fonctionnement du DMS correspond alors au point A_{n+3} de la courbe de la figure 7.

Si à l'étape 63 on détermine au contraire que la valeur de l'erreur de phase $\Delta\phi$ a diminué, alors dans une étape 67, comparable à l'étape 65

précitée, on compare la valeur de l'erreur de phase $\Delta\phi$ à la seconde valeur de seuil $\Delta\phi_2$. Si $\Delta\phi$ est inférieur à $\Delta\phi_2$ alors on atteint la fin 69 de l'algorithme. A l'inverse, si $\Delta\phi$ n'est pas inférieur à $\Delta\phi_2$, on remplace alors dans une étape 68 la valeur courante du coefficient C_V par la valeur courante diminuée du pas 5 ΔC_V et l'on retourne à l'étape de comparaison 67 précitée:

La valeur de seuil $\Delta\phi_2$ est inférieure à la valeur de seuil $\Delta\phi_1$. Dans un exemple $\Delta\phi_1$ est de l'ordre de 2° et $\Delta\phi_2$ est de l'ordre de $1,5^\circ$. L'algorithme décrit ci-dessus en regard de la figure 6 permet donc de maintenir l'erreur de phase $\Delta\phi$ du signal de sortie F_{out} au plus à une valeur de l'ordre de 2° . Le fait 10 d'avoir deux valeurs de seuil $\Delta\phi_1$ et $\Delta\phi_2$ différentes, $\Delta\phi_2$ étant inférieure à $\Delta\phi_1$, permet à l'algorithme mis en œuvre par le module de détermination 29 de l'unité de calcul 26 du DMS d'introduire une hystérésis dans l'évolution du point de fonctionnement.

A la figure 8 on a représenté le schéma fonctionnel d'un circuit intégré 15 10 dans lequel sont intégrés tous les moyens numériques mis en œuvre dans le DMS selon l'invention. Sur cette figure, les mêmes éléments qu'à la figure 2 portent les mêmes références.

En plus des entrées 17a et 17b déjà décrites en référence à la figure 2, le circuit 10 comprend une entrée 17c et un diviseur de fréquence 171. En 20 fonctionnement, l'entrée 17c est connectée à un oscillateur externe 172 tel qu'un quartz, et délivre un signal d'horloge dont la fréquence est de quelques MHz, sur une entrée du diviseur 171. Celui-ci opère une division de la fréquence du signal d'horloge par cinq, et délivre en sortie le signal de référence S_{ref} . Le comparateur de phase/fréquence 11 comprend ici un 25 comparateur 111 dont une première entrée est connectée à la sortie du diviseur 171 pour recevoir le signal S_{ref} et dont une seconde entrée est connectée à la sortie du diviseur de fréquence à rapport variable 14. Il comprend en outre une pompe de charge 112. La pompe de charge 112 reçoit un signal numérique de commande de courant délivré par la sortie d'un circuit 30 de programmation 113. Le circuit 113 reçoit en entrée un signal numérique délivré par un convertisseur analogique/numérique 114. Ce dernier est

connecté à une entrée 17d du circuit 10 pour recevoir un signal analogique de commande du courant de la pompe de charge 112. Ce signal de commande, après conversion analogique/numérique au moyen du convertisseur 114, est utilisé par le circuit de programmation 113 pour délivrer à la pompe de charge
5 le signal numérique de commande de courant. La sortie de la pompe de charge 112 coïncide avec la sortie du PFC 11.

Du filtre 12, le circuit 10 ne comprend qu'un amplificateur opérationnel 121, dont une première entrée est connectée à la sortie du PFC 11 ainsi qu'à une entrée 17e du circuit 10, une seconde entrée de l'amplificateur
10 opérationnel 121 étant connectée à une autre entrée 17f du circuit 10. En fonctionnement, ces deux entrées 17e et 17f sont reliées à des composants discrets externes, dont deux condensateurs et une résistance qui, avec l'amplificateur opérationnel 121, forment un intégrateur dont la fréquence de coupure est déterminée par la valeur desdits condensateurs et de ladite
15 résistance. La sortie de l'amplificateur opérationnel 121 est reliée à une sortie 17g du circuit 10.

On notera que le VCO n'est pas intégré dans le circuit 10 mais est un circuit externe. Par souci de simplification, l'entrée du VCO 13, qui en fonctionnement, est connectée à la sortie 17g du filtre 12 n'est pas représentée
20 à la figure 8. Le circuit 10 comprend une entrée 17h qui, en fonctionnement, est connectée à la sortie du VCO 13 pour recevoir le signal de sortie S_{out} . Il comprend en outre une entrée 17i qui, en fonctionnement, est reliée à la masse. Il comprend un amplificateur opérationnel 131 fonctionnant en comparateur analogique, dont les entrées sont connectées respectivement à
25 l'entrée 17h et à l'entrée 17i du circuit 10, et dont la sortie est connectée à l'entrée du diviseur de fréquence à rapport variable 14 via un doubleur de fréquence 132.

Sur le schéma de la figure 8, le diviseur de fréquence à rapport variable 14 comprend un diviseur de fréquence 141 couplé à un bloc de logique
30 combinatoire 142. L'entrée du bloc de logique combinatoire est connectée à la sortie du modulateur Σ - Δ 15 et constitue l'entrée de commande du rapport de division du diviseur de fréquence à rapport variable 14.

Des moyens de démodulation 20, le circuit 10 comprend un mélangeur de fréquence 21 et un détecteur de fréquence 23. Le mélangeur 21 comprend une première entrée qui est connectée à une entrée 17j du circuit 10 et une seconde entrée qui est connectée à une entrée 17k du circuit 10. En
5 fonctionnement, ces entrées 17j et 17k sont respectivement connectées à la sortie du VCO 13 pour recevoir le signal de sortie S_{out} et à la sortie d'un oscillateur local 22, qui est également externe par rapport au circuit 10 pour recevoir un signal à une fréquence intermédiaire. La sortie du mélangeur 21, est connectée à une entrée du détecteur 23, dont la sortie correspond à la
10 sortie des moyens de démodulation 20, et est donc connectée à l'entrée du convertisseur analogique/numérique 25.

Comme on peut le constater sur le schéma de la figure 8, le circuit 10 intègre la plupart des moyens du DMS. Seuls les moyens analogiques constitués par le VCO 13, l'oscillateur local 22, l'oscillateur 172, et la résistance
15 et le condensateur de l'intégrateur 12 sont des composants externes par rapport au circuit 10. L'invention permet donc la réalisation d'un DMS avec un haut degré d'intégration. La réalisation d'un DMS selon l'invention est donc peu coûteuse et peut être envisagée dans les applications de grande série. Tout ceci est particulièrement avantageux dans le cas des équipements de
20 téléphonie mobile.

REVENDEICATIONS

1. Synthétiseur à modulation numérique pour la génération d'un signal de sortie (S_{out}) radiofréquence modulé en fréquence ou en phase comprenant :

5 - un filtre de pré-accentuation (18) recevant un signal numérique de modulation de fréquence (F_{mod}) en entrée, pour pré-accentuer le signal de modulation de fréquence (F_{mod}) et produire un signal de modulation de fréquence pré-accentué (F'_{mod}) ;

10 - un modulateur Σ - Δ (15) ayant une entrée recevant le signal de modulation de fréquence pré-accentué (F'_{mod}) et une sortie délivrant un signal de modulation de fréquence pré-accentué et embrouillé (S_c) ;

15 - une boucle à verrouillage de phase (PLL) avec un diviseur de fréquence à rapport variable (14) dans le chemin de rétroaction, le diviseur de fréquence à rapport variable (14) ayant une entrée de commande du rapport de division reliée à la sortie du modulateur Σ - Δ (15) pour recevoir le signal de modulation de fréquence pré-accentué et embrouillé (S_c), le filtrage par la boucle à verrouillage de phase (PLL) permettant de filtrer le bruit de quantification introduit par le modulateur Σ - Δ (15) et le filtre de pré-accentuation (18) appliquant une pré-accentuation au signal de modulation de fréquence (F_{mod}) permettant de compenser l'effet de ce filtrage à l'intérieur
20 d'une bande utile ;

 - des moyens de calibration automatique du filtre de pré-accentuation (18) permettant d'ajuster la fonction de transfert du filtre de pré-accentuation (18) à celle de la PLL.

25 2. Synthétiseur selon la revendication 1, comprenant en outre une entrée de données (17a) pour recevoir un signal de modulation de phase (P_{mod}), et un circuit de conversion phase/fréquence (19) recevant le signal de modulation de phase (P_{mod}) en entrée pour produire le signal de modulation de fréquence (F_{mod}) en sortie.

3. Synthétiseur selon la revendication 1 ou la revendication 2, comprenant en outre une entrée (17b) pour recevoir un numéro de canal (NC), un module de sélection de canal (30) recevant le numéro de canal (NC) en entrée pour produire en sortie un signal numérique de canal (X_0), et un

5 additionneur numérique (31) ayant une première entrée pour recevoir le signal de canal (X_0), une seconde entrée pour recevoir le signal de modulation de fréquence pré-accentué (F'_{mod}), et une sortie reliée à l'entrée du modulateur $\Sigma\Delta$ (15) pour y délivrer un signal dont les bits de poids fort sont les bits du signal de canal (X_0) et dont les bits de poids faible sont les bits du signal de

10 modulation de fréquence pré-accentué (F'_{mod}).

4. Synthétiseur selon l'une quelconque des revendications précédentes, dans lequel le filtre de pré-accentuation (18) est un filtre numérique programmable dont la fonction de transfert est déterminée par des coefficients

15 enregistrés dans une mémoire, parmi lesquels un seulement, appelé coefficient déterminant, est dépendant du gain en boucle ouverte (K) de la PLL.

5. Synthétiseur selon la revendication 4 dans lequel, la PLL comprenant un comparateur de phase/fréquence (11) avec une pompe de charge et un

20 intégrateur (12) ayant un étage d'intégration, la fonction de transfert $A(z)$ du filtre de pré-accentuation (18), exprimée en fonction de la variable z , est du type :

$$A(z) = \left[1 + \frac{1}{K} \times f_{ref}^2 \times (1-z^{-1})^2 \frac{1}{BL(F(s))} \right]$$

où K est le gain en boucle ouverte de la PLL ;

25 où f_{ref} désigne une fréquence de référence de la PLL ;

où BL désigne la transformée bi-linéaire ;

et où $F(s)$ est la transformée de Laplace du filtre intégrateur (12) de la PLL sans prendre en compte l'étage d'intégration.

30 6. Synthétiseur selon l'une des revendications précédentes, dans lequel les moyens de calibration automatique du filtre de pré-accentuation (18) comprennent une boucle auxiliaire comportant des moyens de démodulation

(20) du signal de sortie (S_{out}) et une unité de calcul (26), l'unité de calcul (26) comprenant un module (28) de calcul d'un paramètre de qualité de la modulation du signal de sortie (S_{out}) et un module (29) de détermination du coefficient déterminant du filtre de pré-accentuation (18) en fonction dudit paramètre.

5

7. Synthétiseur selon la revendication 6, dans lequel, la modulation étant une modulation en phase, le paramètre de qualité de la modulation du signal de sortie (S_{out}) est l'erreur de phase ($\Delta\phi$) du signal de sortie (S_{out}).

10

8. Synthétiseur selon la revendication 6, dans lequel, la modulation étant une modulation en fréquence, le paramètre de qualité de la modulation du signal de sortie (S_{out}) est l'erreur de fréquence du signal de sortie (S_{out}).

15

9. Synthétiseur selon la revendication 6, dans lequel, la modulation étant une modulation en phase ou en fréquence, le paramètre de qualité de la modulation du signal de sortie (S_{out}) est l'indice de modulation du signal de sortie (S_{out}).

20

10. Synthétiseur selon l'une quelconque des revendications 4 à 9, comprenant des moyens pour, à la mise en fonctionnement, tester successivement des valeurs déterminées du coefficient déterminant, sélectionner la meilleure de ces valeurs, et la programmer dans le filtre de pré-accentuation (18).

25

11. Synthétiseur selon la revendication 10, comprenant des moyens pour tester successivement lesdites valeurs du coefficient déterminant pour des valeurs identiques du signal de modulation de fréquence (S_{mod}).

30

12. Synthétiseur selon la revendication 11, comprenant des moyens pour tester successivement lesdites valeurs du coefficient déterminant pendant

la transmission d'une séquence d'apprentissage par un émetteur radiofréquence incorporant le synthétiseur.

13. Synthétiseur selon l'une quelconque des revendications 6 à 12,
5 comprenant des moyens pour, en cours de fonctionnement, comparer le paramètre de qualité de la modulation du signal de sortie (S_{out}) à un premier seuil (ϕ_1) et à un second seuil (ϕ_2) inférieur audit premier seuil (ϕ_1), et des moyens pour, dès lors que le paramètre de qualité de la modulation du signal de sortie (S_{out}) est supérieur audit premier seuil (ϕ_1), modifier la valeur du
10 coefficient déterminant programmée dans le filtre de pré-accentuation (18) jusqu'à ce que le paramètre de qualité de la modulation du signal de sortie (S_{out}) soit inférieur audit second seuil (ϕ_2).

14. Synthétiseur selon la revendication 13, comprenant des moyens
15 pour calculer la valeur du paramètre ($\Delta\phi$) de qualité de la modulation du signal de sortie (S_{out}) pour des valeurs identiques du signal de modulation de fréquence (F_{mod}).

15. Synthétiseur selon la revendication 14, comprenant des moyens
20 pour calculer la valeur du paramètre ($\Delta\phi$) de qualité de la modulation du signal de sortie (S_{out}) pendant la transmission d'une séquence de synchronisation par un émetteur radiofréquence incorporant le synthétiseur.

16. Synthétiseur selon l'une des revendications 6 à 15, comprenant une
25 mémoire pour stocker des valeurs déterminées du coefficient déterminant.

17. Synthétiseur selon l'une quelconque des revendications précédentes, dans lequel tous les moyens numériques sont intégrés dans un circuit intégré.

FIG.1.
(ART ANTÉRIEUR)

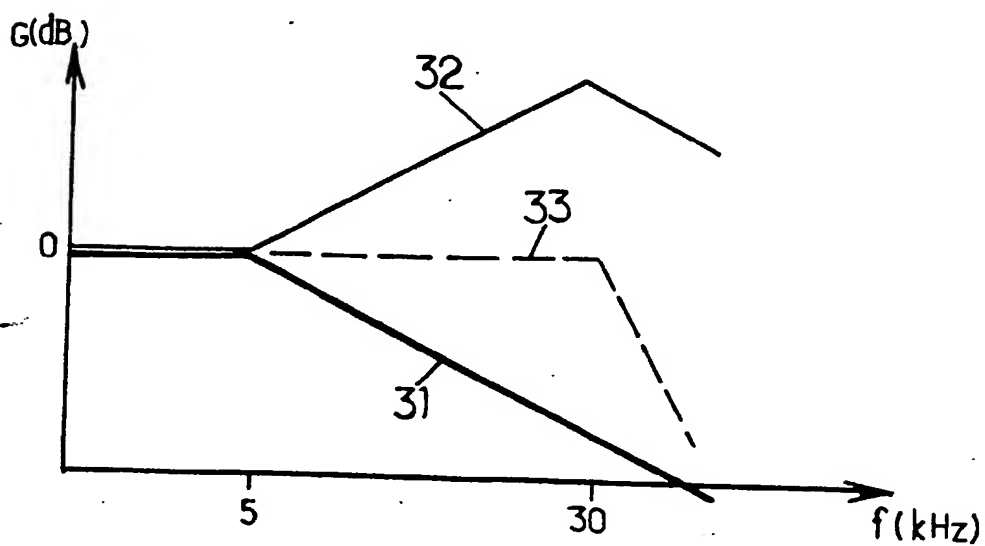
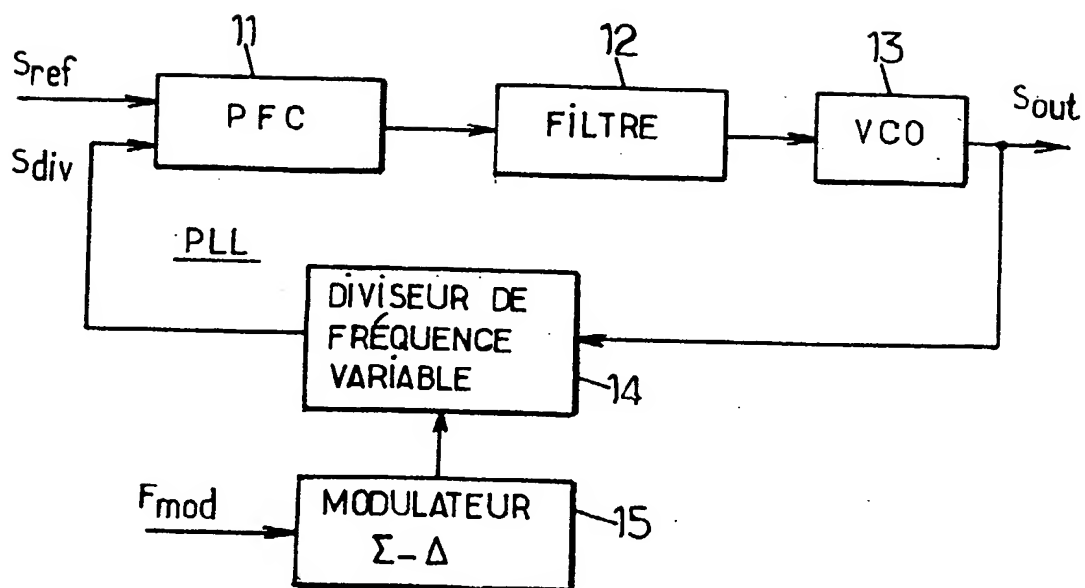
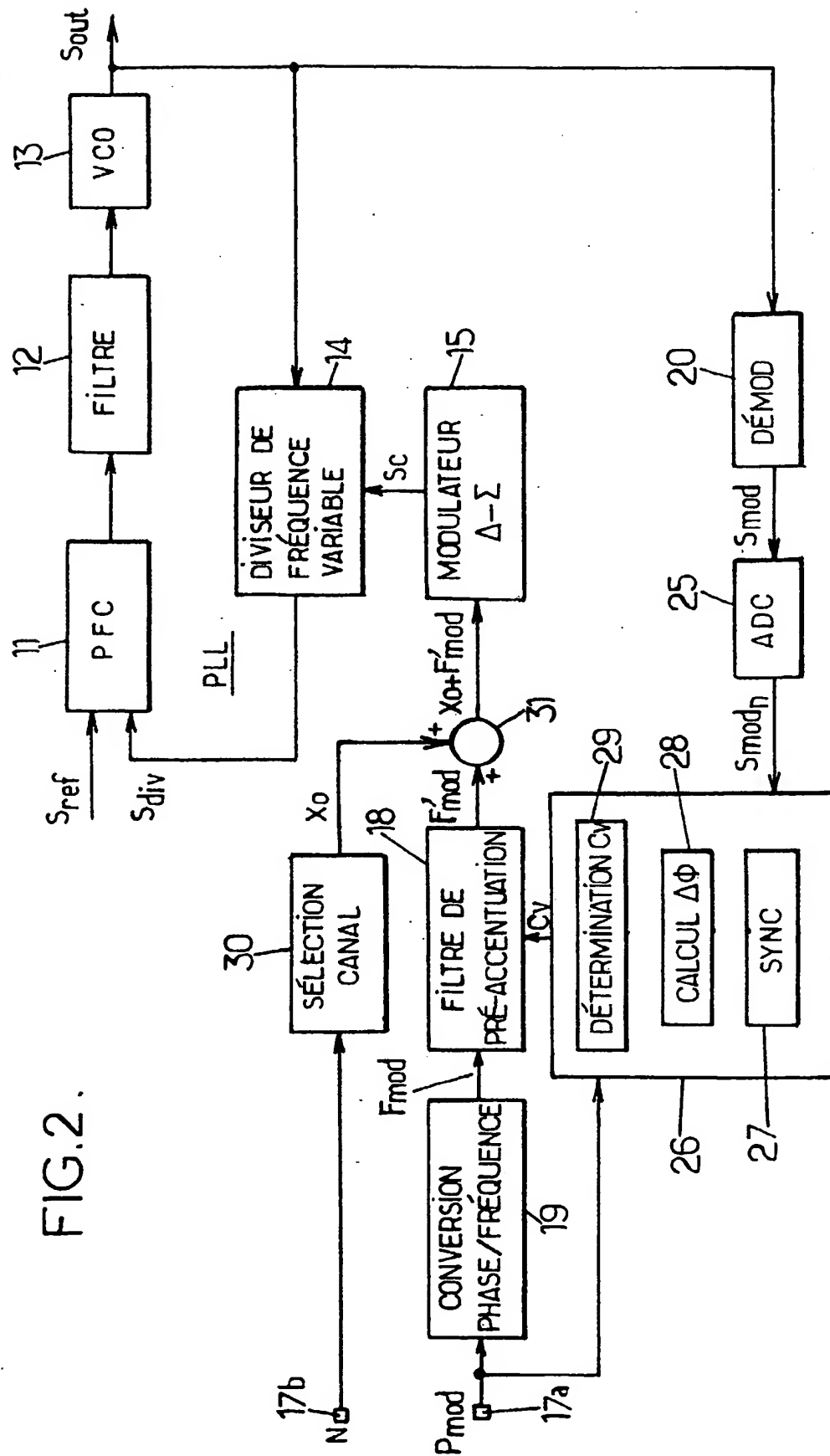


FIG.5.



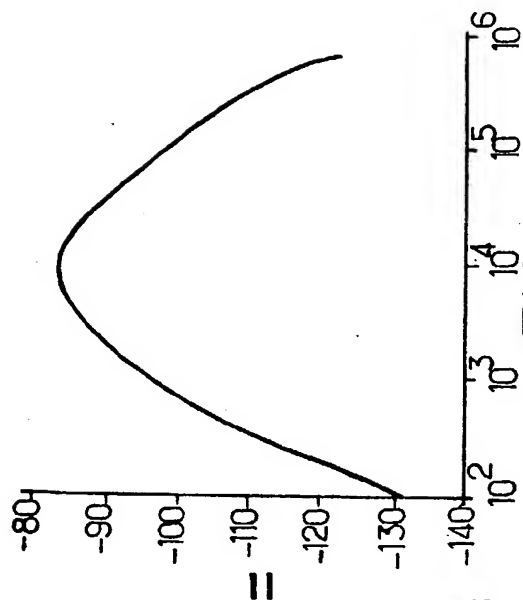
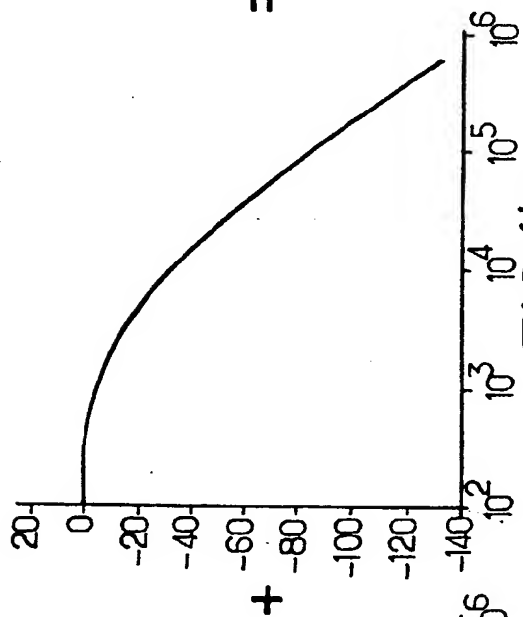
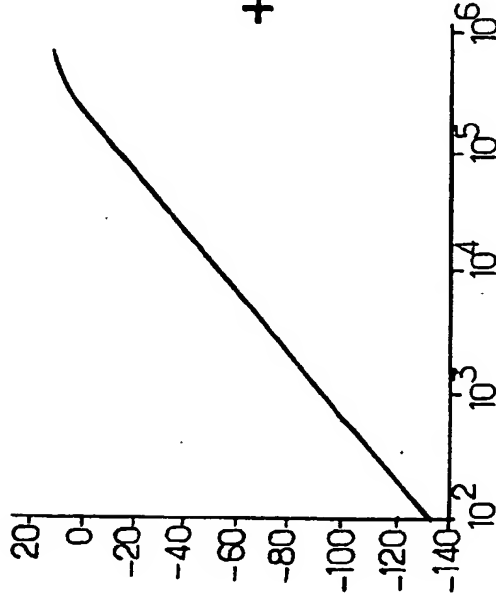
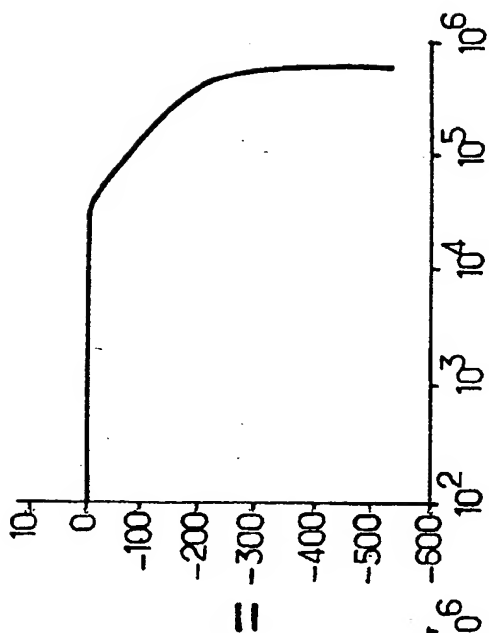
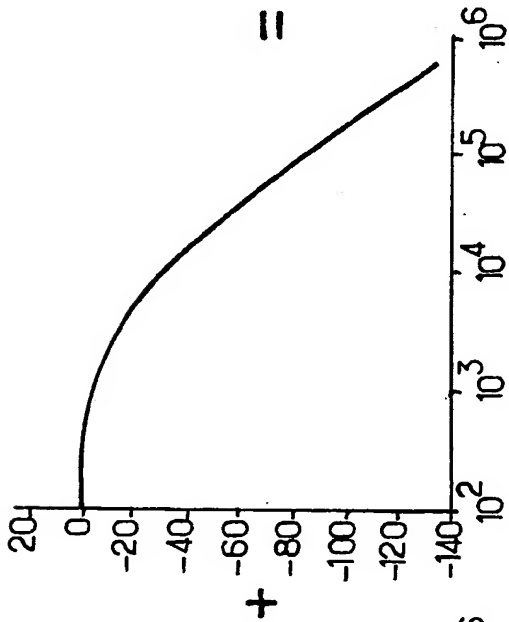
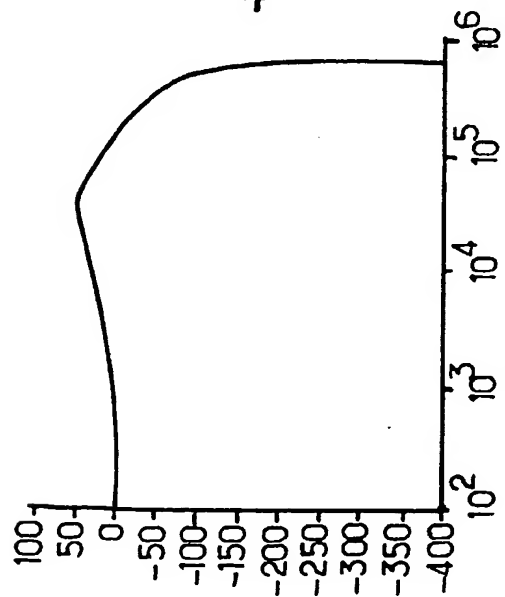


FIG.6.

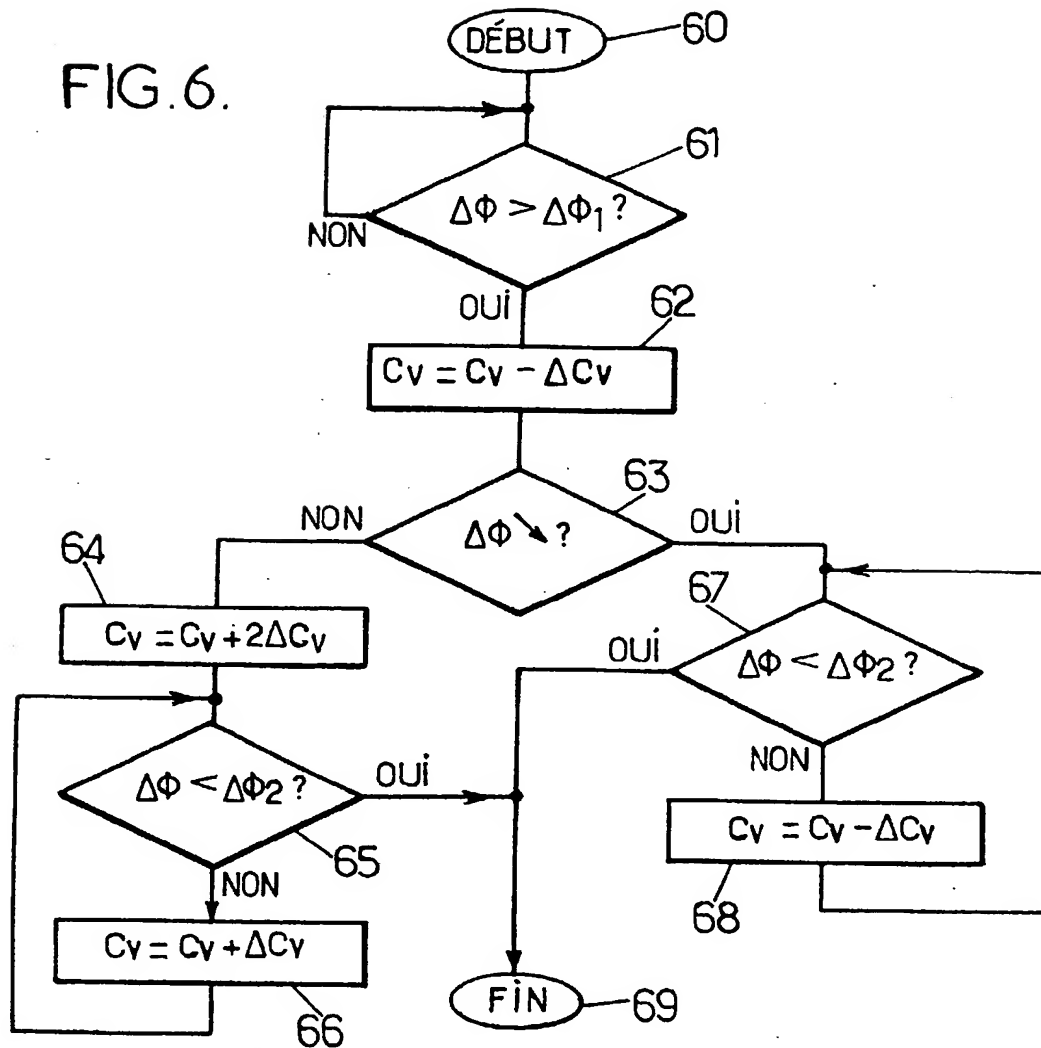


FIG.7.

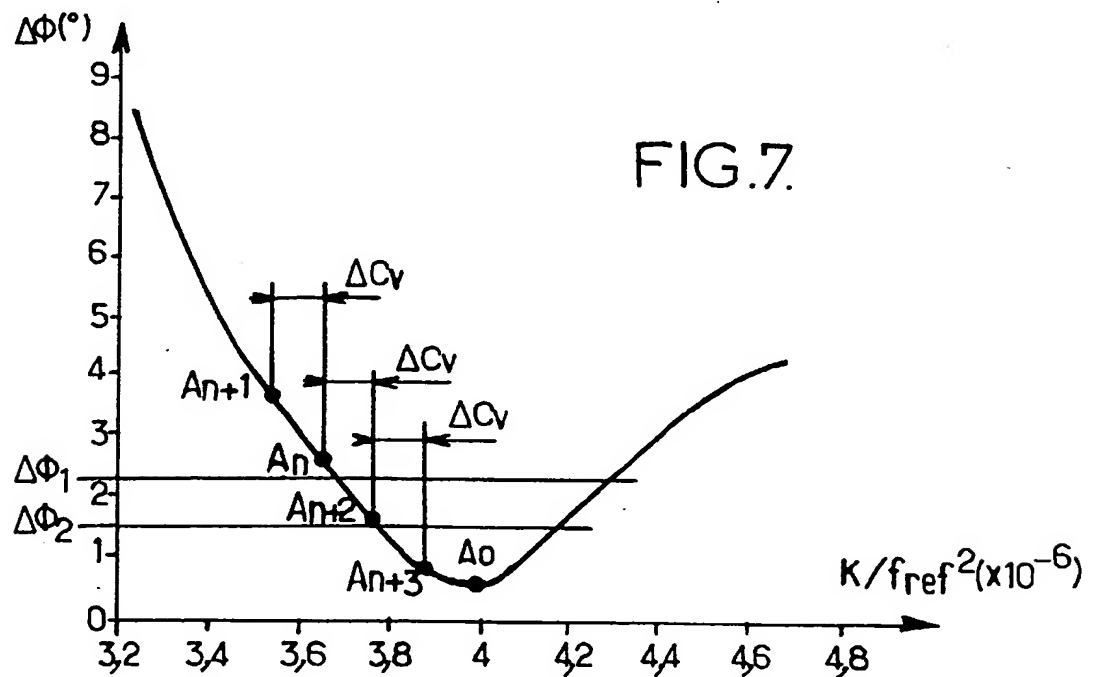
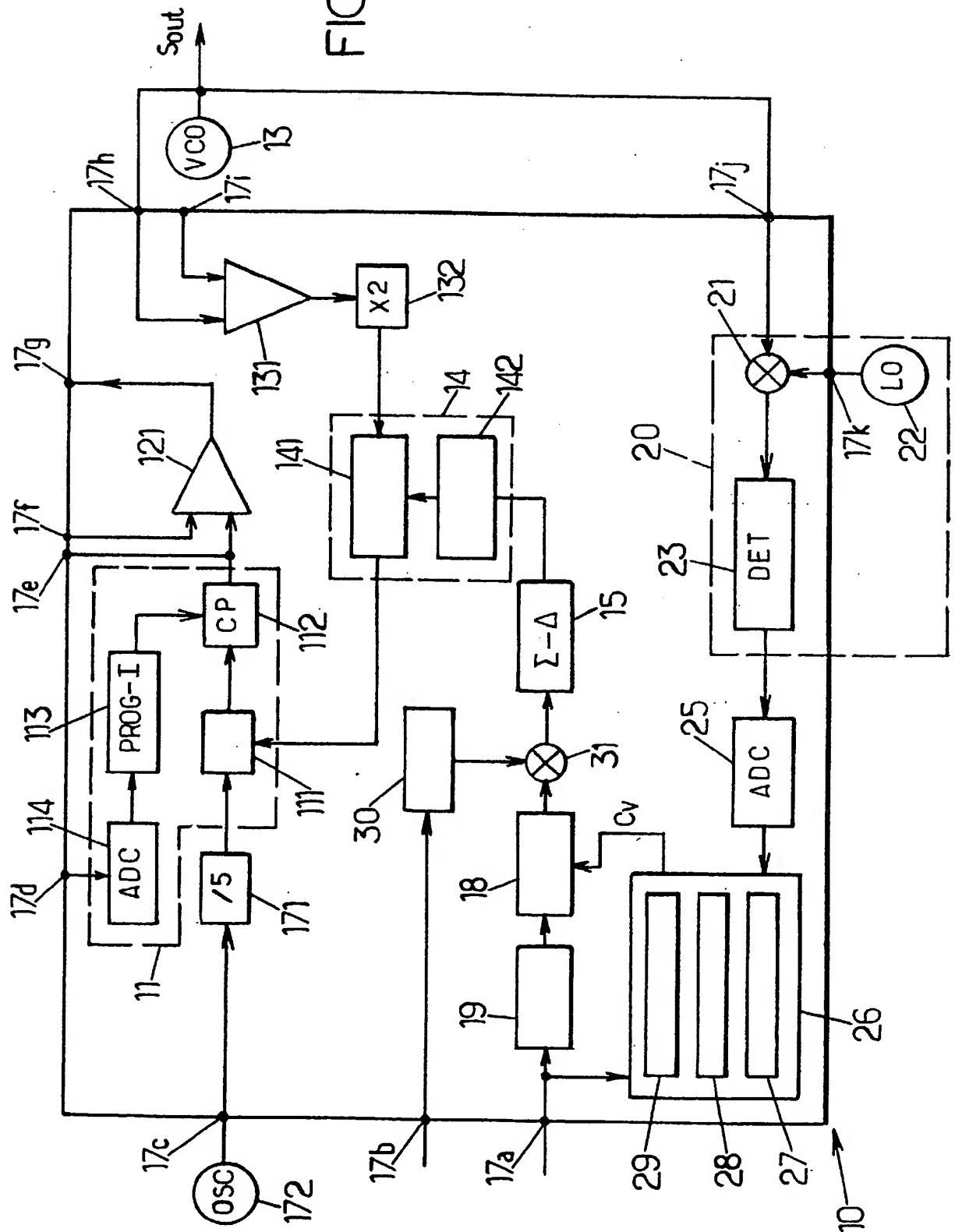


FIG. 8.





RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

2809890

N° d'enregistrement
nationalFA 588327
FR 0007059

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	US 6 008 703 A (PERROTT MICHAEL H ET AL) 28 décembre 1999 (1999-12-28) * abrégé; figures 1, 2B, 4, 11A * * colonne 4, ligne 28 - ligne 44 * * colonne 4, ligne 55 - ligne 58 * * colonne 8, ligne 30 - ligne 34 * * colonne 8, ligne 39 - ligne 54 * * colonne 10, ligne 6 - ligne 21 * * colonne 20, ligne 55 - colonne 21, ligne 28 * * colonne 22, ligne 49 - ligne 60 *	1	H04B7/005
A	PERROTT M H ET AL: "A 27-MW CMOS FRACTIONAL-N SYNTHESIZER USING DIGITAL COMPENSATION FOR 2.5-MB/S GFSK MODULATION" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE INC. NEW YORK, US, vol. 32, no. 12, 1 décembre 1997 (1997-12-01), pages 2048-2060, XP000767454 ISSN: 0018-9200 * abrégé; figures 2, 5, 6 * * page 2050, colonne de droite, alinéa 3 * * page 2051, colonne de droite, alinéa 4 *	1	DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7) H03L H03C H04L
A	US 6 047 029 A (ERIKSSON HAAKAN B ET AL) 4 avril 2000 (2000-04-04) * abrégé; figure 5 * * colonne 2, ligne 52 - ligne 62 * * colonne 4, ligne 17 - ligne 28 * * colonne 6, ligne 7 - ligne 9 *	1	
Date d'achèvement de la recherche		Examineur	
14 février 2001		Papantoniou, A	
CATÉGORIE DES DOCUMENTS CITÉS			
X: particulièrement pertinent à lui seul Y: particulièrement pertinent en combinaison avec un autre document de la même catégorie A: arrière-plan technologique O: divulgation non-écrite P: document intercalaire		T: théorie ou principe à la base de l'invention E: document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D: cité dans la demande L: cité pour d'autres raisons &: membre de la même famille, document correspondant	

EPO FORM 1503 12.99 (P/MC14)